

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219421

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

H01L 21/60
H01L 21/301
H01L 21/321

(21)Application number : 08-026434

(71)Applicant : HITACHI LTD

(22)Date of filing : 14.02.1996

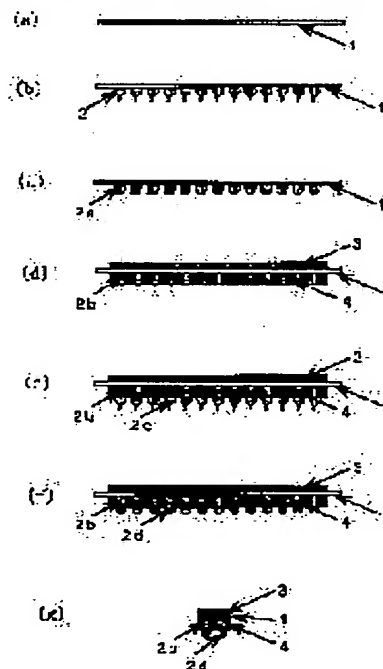
(72)Inventor : HASEBE AKIO
MIYAMOTO TOSHIO
ARIMA HIDEO
YAMAMOTO KENICHI
HARUTA AKIRA
TSUBOSAKI KUNIHIRO
MORINAGA KENICHIRO

(54) MANUFACTURE OF SEMICONDUCTOR ELECTRONIC COMPONENT AND WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a TAT and reduce the cost of the TAT by a method wherein stud bump electrodes made of solder are respectively formed again on the point parts of first-layer electrodes, second-layer electrodes of a shape uniformized by reflowing the stud bump electrodes are formed and a wafer is diced into chips to obtain chip-sized packages.

SOLUTION: Solder stud bump electrodes 2 formed on a wafer 1 are subjected to leveling, electrodes 2a are formed and organic materials 3 and 4 are respectively provided on both surfaces of the surface and rear of the wafer 1 formed with the electrodes 2a making to interpose the wafer 1 between them by molding, coating or the like. A surface treatment, such as a polishing treatment, of these bump electrodes 2a and first electrodes 2b is performed, which respectively have a bump electrode upper part which is new and is easily wetted, are formed. Solder stud bump electrodes 2c are respectively formed again on the point parts of the electrodes 2b, the wafer 1 is reflowed to form second electrodes 2d obtainable by making even the electrodes 2c and the wafer 1 is diced into chips to obtain chip-sized packages.



LEGAL STATUS

[Date of request for examination] 04.02.2003

[Date of sending the examiner's decision of rejection] 13.04.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision 2004-09811
of rejection]

[Date of requesting appeal against examiner's 11.05.2004
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219421

(43) 公開日 平成9年(1997)8月19日

| (51)Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 | |
|--------------------------|--------|--------|---------|--------|---------|
| H 0 1 L | 21/60 | 3 1 1 | H 0 1 L | 21/60 | 3 1 1 S |
| | 21/301 | | | 21/78 | A |
| | 21/321 | | | 21/92 | 6 0 2 D |
| | | | | | 6 0 4 A |
| | | | | | 6 0 4 J |

審査請求 未請求 請求項の数26 O L (全 8 頁)

(21) 出願番号 特願平8-26434

(22) 出願日 平成8年(1996)2月14日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 長谷部 昭男

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 宮本 俊夫

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 有馬 英夫

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体電子部品の製造方法およびウエハ

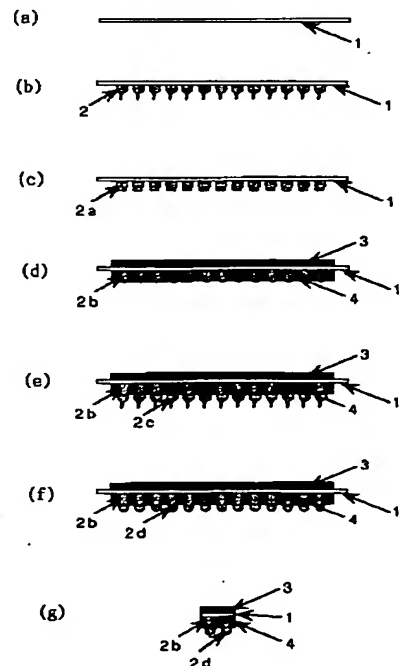
(57) 【要約】

【課題】半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供する事を目的とする。

【解決手段】ウエハを基本単位としてP K G工程を経る。

【効果】最も安価で信頼性の高いチップサイズP K Gが得られる。

図1



【特許請求の範囲】

【請求項 1】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成し、

前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 2】請求項 1 に記載の第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成す工程が、

第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 2 層の電極と成し、

前記表面処理を施した第 2 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 3 層の電極と成す工程としたことを特徴とする請求項 1 に記載の半導体電子部品の製造方法。

【請求項 3】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 1、又は請求項 2 に記載の半導体電子部品の製造方法。

【請求項 4】請求項 2 に記載の前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングする工程において、前記ウエハの裏面上の有機材料の上に、導電性のある有機材料をモールド、またはコーティングする工程を加えたことを特徴とする請求項 2 に記載の半導体電子部品の製造方法。

【請求項 5】前工程にて回路を形成したウエハの表裏両面に、有機材料をモールド、またはコーティングし、前記ウエハ配線上の電極形成箇所にはんだのスタッドバンプを、エッチング、またはレーザ照射により孔状、又は溝

状に除去し、

前記孔状、又は溝状に除去した箇所に電極を形成し、前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 6】請求項 5 に記載の前記孔状、又は溝状に除去した箇所に電極を形成する工程の後に、熱伝導性の良い有機材料を、前記ウエハの裏面上の有機材料の上にモールドにて形成する工程を加えたことを特徴とする請求項 5 に記載の半導体電子部品の製造方法。

【請求項 7】請求項 5 に記載の前記孔状、又は溝状に除去した箇所に電極を形成する工程の後に、再度前記ウエハの表面上の有機材料の上に、有機材料をモールド、またはコーティングし、

前記ウエハ上の第 1 層の電極形成箇所に在る前記有機材料を、エッチング、またはレーザ照射により孔状、又は溝状に除去し、

前記孔状、又は溝状に除去した箇所に第 2 層の電極を形成する工程の繰返しを加えたことを特徴とする請求項 5 に記載の半導体電子部品の製造方法。

【請求項 8】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのワイヤ電極を形成し、

前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記ワイヤ電極を、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成し、

前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 9】前記はんだのワイヤ電極、又ははんだのスタッドバンプが、Au、又は Cu により構成されたことを特徴とする請求項 8 に記載の半導体電子部品の製造方法。

【請求項 10】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングして電極と成し、

前記ウエハの裏面に、有機材料をモールド、またはコーティングし、

前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 11】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、

前記ウエハの表面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成し、前記ウエハをチップ毎にダイシングしてチップサイズパッケージを得る半導体電子部品の製造方法。

【請求項 12】請求項 11 に記載の前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成す工程の後に、前記表面処理を施した電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成す工程を加えたことを特徴とする請求項 11 に記載の半導体電子部品の製造方法。

【請求項 13】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 10、請求項 11、又は請求項 12 に記載の半導体電子部品の製造方法。

【請求項 14】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成したことを特徴とするウエハ。

【請求項 15】請求項 14 に記載の第 1 層の電極の先端部に、再度はんだのスタッドバンプを形成し、該スタッドバンプを均一化した形状にレベリングし、前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して第 2 層の電極と成し、

前記表面処理を施した第 2 層の電極の先端部に、再度はんだのスタッドバンプを形成し、

リフローにより該スタッドバンプを均一化した形状の第

3 層の電極と成したことを特徴とする請求項 14 に記載のウエハ。

【請求項 16】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 14、又は請求項 15 に記載のウエハ。

【請求項 17】請求項 15 に記載の前記ウエハの表面上の有機材料の上に、再度有機材料をモールド、またはコーティングするのと同様に、前記ウエハの裏面上の有機材料の上に、導電性のある有機材料をモールド、またはコーティングしたことを特徴とする請求項 15 に記載のウエハ。

【請求項 18】前工程にて回路を形成したウエハの表裏両面に、有機材料をモールド、またはコーティングし、前記ウエハ配線上の電極形成箇所に在る前記有機材料を、エッチング、またはレーザ照射により孔状、又は溝状に除去し、前記孔状、又は溝状に除去した箇所に電極を形成したことを特徴とするウエハ。

【請求項 19】請求項 18 に記載の前記孔状、又は溝状に除去した箇所に電極を形成した後に、熱伝導性の良い有機材料を、前記ウエハの裏面上の有機材料の上にモールドにて形成したことを特徴とする請求項 18 に記載のウエハ。

【請求項 20】請求項 18 に記載の前記孔状、又は溝状に除去した箇所に電極を形成した後に、再度前記ウエハの表面上の有機材料の上に、有機材料をモールド、またはコーティングし、

前記ウエハ上の第 1 層の電極形成箇所に在る前記有機材料を、エッチング、またはレーザ照射により孔状、又は溝状に除去し、

前記孔状、又は溝状に除去した箇所に第 2 層の電極を形成する工程の繰返しを加えたことを特徴とする請求項 18 に記載のウエハ。

【請求項 21】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのワイヤ電極を形成し、

前記ウエハの表裏両面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記ワイヤ電極を、その先端部を研磨、またはエッチングの表面処理を施して第 1 層の電極と成し、

前記表面処理を施した第 1 層の電極の先端部に、はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成したことを特徴とするウエハ。

【請求項 22】前記はんだのワイヤ電極、又ははんだのスタッドバンプが、Au、又は Cu により構成されたことを特徴とする請求項 21 に記載のウエハ。

【請求項 23】前工程にて回路を形成したウエハに対

し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、
該スタッドバンプを均一化した形状にレベリングして電極と成し、

前記ウエハの裏面に、有機材料をモールド、またはコーティングしたことを特徴とするウエハ。

【請求項 2 4】前工程にて回路を形成したウエハに対し、ウエハ配線上の電極形成箇所にはんだのスタッドバンプを形成し、

該スタッドバンプを均一化した形状にレベリングし、
前記ウエハの表面に、有機材料をモールド、またはコーティングし、

前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成したことを特徴とするウエハ。

【請求項 2 5】請求項 2 4 に記載の前記有機材料と同程度の高さか、またはそれ以上の高さによりその先端部が前記有機材料より露出している前記レベリングしたスタッドバンプを、その先端部を研磨、またはエッチングの表面処理を施して電極と成した後に、
前記表面処理を施した電極の先端部に、再度はんだのスタッドバンプを形成し、リフローにより該スタッドバンプを均一化した形状の第 2 層の電極と成したことを特徴とする請求項 2 4 に記載のウエハ。

【請求項 2 6】前記はんだのスタッドバンプが、Au、又は Cu のスタッドバンプであることを特徴とする請求項 2 3、請求項 2 4、又は請求項 2 5 に記載のウエハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供することを可能とする半導体電子部品の製造方法、及びその製造方法により製造されたウエハに関わるものである。

【0002】

【従来の技術】従来の半導体電子部品は、まず前工程において回路を形成したウエハをダイシングにより個別のチップ形状とし、ダイボンディングを行い固定する。次にチップの電極部を外部接続用に用意されたリードフレームのリードとワイヤーボンディングにより接続する。その後モールド成形機により樹脂封止され、バリ取り工程、メッキ工程、トリミング工程、フォーミング工程を経て最終的な P K G となる。T A B を用いた P K G においてもダイシングをしたチップと T A B リードとをインナーリードボンディングにより接続し、ポッティング樹脂封止およびモールド樹脂封止され、バリ取り工程、トリミング工程、フォーミング工程を経て最終的な P K G となる。

【0003】

【発明が解決しようとする課題】上記従来技術では、半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供しようとするとして下記に示す課題がある。

【0004】1. 最終 P K G 形態における外部電極配置が P K G 表面となるため、リードフレーム、T A B 等を用いた構造だと電極形成が極めて困難となる。

【0005】2. 現状の P K G 工程より、モールド工程前の配線リードフォーミング工程、モールド工程後の電極形成工程等が増加し、コスト高となる。

【0006】3. リードフレーム、T A B 等を用いるため、P K G の高さ方向を薄くするのに限界がある。

【0007】4. リードフレームの一部である配線リードのフォーミングをモールド工程前に行うため、モールド工程が複雑となり、コスト高となる。

【0008】5. 配線リードがチップ表面電極部から短距離で P K G 表面へと出るために、モールド樹脂と配線リード界面が応力等により剥離した場合、短時間で耐湿性不良となる。この電極部および配線リードに生じる応力を低減するには、リードフレームを用いた P K G 構造では困難である。また、実装時においても電極部に応力緩和構造を取り入れることは困難である。このため、半導体電子部品の信頼性を確保することが難しくなる。

【0009】6. リードフレーム、T A B 等をキャリアとして P K G 工程を経るため、T A T の短縮すなわち低コスト化が困難である。

【0010】

【課題を解決するための手段】上記の課題を解決するための手段として、まず、ウエハ単位でモールド工程を経ることにより、T A T の短縮および工程の削減を図っている。また、リードフレーム、T A B 等を用いて電極を P K G 外部に取り出さず、ウエハ配線上に電極を形成して外部に電極を取り出している。すなわち、ウエハ単位でモールド工程を経て最後にダイシング工程を行うことによって、最終の P K G 形態を得る製造方法である。

【0011】ウエハ単位でモールド工程を経ることにより、個別のチップをパッケージにダイボンディングして固定する工程、またチップの電極部を外部接続用に用意されたリードフレームのリードヘワイヤーボンディングにより接続する工程等の削減を図ることができる。さらに、P K G 製造工程の全ての工程をウエハ単位で行うことができ、T A T の短縮を図ることができる。また、モールド工程においては、ウエハ上に円形に樹脂を形成するのみであるためモールド金型を簡単な形状の安価なものとすることができる。これは、ウエハサイズが同じならば別仕様品、別製品にも同じ金型を用いることができ、少量多品種生産において T A T の短縮および低コストを実現できる。また、バーイン工程もモールドした後のウエハを用いて容易に行うことができる。

【0012】以上のことにより、チップサイズとほぼ同程度の大きさのPKGを安価に製造、提供できる。リードフレーム、TAB等を用いて電極をPKG外部に取り出すことはせず、直接ウエハ配線上に電極を形成して外部に電極を取り出すことにより、PKG表面に任意のピッチ、大きさ、配置にて電極を形成することができ、PKGの厚さにおいても薄いものを提供できる。信頼性の面においても電極の大きさ、高さ形状を簡単に任意のものとすることができ、しかもその材料も任意のものを用いることができ高信頼なPKGを簡単に提供できる。

【0013】

【発明の実施の形態】本発明の実施例を下記に示す。

【0014】図1は、チップサイズPKGの構造及び製造方法の一例を示したものである。図1aは、前工程を完了したウエハ1を示したものである。図1bは、図1aのウエハ1に電極2を形成したものである。ここでは、電極2がはんだのスタッドバンプの場合について明記した。この電極2は、Au、はんだ、Cu等種々のものが考えられる。図1cは、ウエハ1上に形成したはんだのスタッドバンプ電極2をレベリングし電極2aを形成したものである。図1dは、図1cのはんだのスタッドバンプ電極2をレベリングし電極2aを形成したウエハ1の表裏両面に、有機材料3、4をモールド、コーティング等により介在させたものである。ここで、電極2aの形状を均一にするためにリフローを一度行っても良い。有機材料3、4は、別々の物性値を持つものでも良く、有機材料3は導電性を持ったものを電磁波シールドとしても良い。有機材料4は、電極2aの高さと同程度か、もしくは低くなるように、かつ電極2aの突起上部に汚れや有機材料4の皮膜が付かないようにモールド、コーティングする。また、有機材料4は、本発明の半導体電子部品を基板と接続した際のチップと接続基板の線膨張係数等の違いにより発生する応力等を緩和するものでもあり、使用する基板の種類により物性値の異なる有機材料4を用いる必要がある。ここで、この有機材料3、4のモールド、コーティング時に電極2aの突起上部に汚れや有機材料4の皮膜が付いた場合、研磨やエッチング等の表面処理を行い、新しく濡れ易い突起電極上部を持つ電極2bを形成する。この有機材料3、4による被覆の工程をモールドにより行う場合、モールド金型はごく簡単な形状のもので良く、低コスト及びQTAT化が容易に図れる。図1eは、電極2b上に再度、はんだのスタッドバンプ電極2cを形成したものである。ここで、この電極2cは、はんだ槽中に図1dのウエハ1を浸漬させて形成しても良く、また、組成の異なるはんだを用いても良い。図1fは、図1eのウエハ1をリフローして、はんだのスタッドバンプ電極2cの形状を均一化させた電極2dを形成したものである。図1gは、図1fのウエハ1をダイシングした後のチップサイズPKGの最終形態を示したものである。以上記したよ

うな製造工程および構造をとることにより、チップサイズとほぼ同程度の大きさにて、しかも高信頼で安価な半導体電子部品を提供する事ができる。

【0015】図2は、上記チップサイズPKGの製造方法の別例を示したものである。図2aに示す前工程の完了したウエハ1に図2bのように、ウエハ1表裏両面に有機材料3、4をモールド、コーティングする。ここで、有機材料3、4は、図1dで記したのものと同じである。しかし、有機材料4の厚みについては、電極形状と深い関係となるため、接続する基板等を考慮し応力緩和が最も有効となる厚みとする。図2cは、図2bのウエハ1表面側の有機材料4に電極形成用の孔、又は溝5をエッチング、レーザ照射等により構築したものである。図2dは、図2cに電極2eを形成したものであり、図2eは、図2dのウエハ1をダイシングした後のチップサイズPKGの最終形態を示したものである。

【0016】図3も、上記チップサイズPKGの製造方法の別例を示したものである。図3aに示す前工程の完了したウエハ1に図3bのように、はんだ、Au、Cu等のワイヤ電極2fを任意の高さでウエハの配線上に形成する。次に、図3cに示すようにウエハ1表裏両面に有機材料3、4をモールド、コーティングする。ここで、有機材料3、4は、図1dで記したのと同じである。図3dは、図3cの有機材料3、4のモールド、コーティング時にワイヤ電極2fの上部に汚れや有機材料4の皮膜が付いた場合、研磨やエッチング等の表面処理を行い、新しく濡れ易い新生面を持つワイヤ電極2gを形成する。図3eは、電極2g上に再度、電極2hを形成したものである。ここで、この電極2hは、はんだ槽中に図3dのウエハ1を浸漬させて形成する方法等もあり、また、組成の異なる電極材料を用いても良い。図3fは、図3eのウエハ1をダイシングした後のチップサイズPKGの最終形態を示したものである。

【0017】図4a、bに、ウエハ1形状で有機材料3を被覆したときの状態を示す。

【0018】図4aのウエハ1上の格子状の線は、スクライプライン6である。図4bの有機材料3上の格子状の線は、ダイシング用の溝7であり、現状のダイシング装置を用いてダイシングを行うには、スクライプライン6上下の有機材料3、4をエッチング等により、除去しなければならない。

【0019】次に示す図5、6、7、8、9、10、11、12は、ダイシング工程前のウエハ1の状態の例を示したものである。

【0020】図5は、図1fのウエハ1において、図1d、e、fの工程を再度ウエハ1表面すなわち電極側のみに行ったものである。この時の電極2b、2d、2iおよび有機材料4、8の物性値は、この半導体電子部品を基板と接続した際のチップと接続基板の線膨張係数等の違いにより発生する応力等を最も緩和できる用に構成

するものである。尚、この工程の繰返しにおいても同様であり、最適回数 n 回繰返すものである。

【0021】図6は、図5のウエハ1において、ウエハ1の裏面の有機材料3を通常のモールド、コーティング時に用いるものとし、有機材料9を図1 d, e, fの工程を再度繰返すとき、導電性のあるものとし電磁波シールドとして形成しているものである。

【0022】図7は、図2 dのウエハ1において、ウエハ1の裏面側有機材料3の上に熱伝導の良い有機材料10をモールドにて形成した高放熱型チップサイズPKGの一例である。

【0023】図8は、図2のチップサイズPKG製造工程において、電極2 j, 2 k, 2 lの形状を基板との接続信頼性が、向上するように任意の形状としたものである。ここで、電極2 kの形状は、有機材料11のエッチング時に任意の形状とすることにより形成している。

【0024】図9は、図3のチップサイズPKG製造工程において、有機材料4から、電極2 fが充分露出するように形成し、次に電極2 mを形成したものである。

【0025】上記、図8、図9は、チップサイズPKGの高信頼化を図ったものである。

【0026】図10は、図1 cのウエハ1裏面にのみ有機材料3を形成したものである。

【0027】これは、ベアチップPKGに最も近い構成となるが、取り扱い易さ等の面で優れているチップサイズPKGの一例である。

【0028】図11は、図1 cのウエハ1表面にのみ有機材料4を形成したものである。これは、放熱性に優れたチップサイズPKGの一例であるが、実装形態としては、異方性導電膜等を用いた実装が好ましい。

【0029】図12は、図11に電極2 dを形成したものであり、放熱性に優れたチップサイズPKGの一例である。

【0030】図13は、本発明の図1における製造工程

フローチャートを示したものである。ここで、特に重要なところは、PKG工程をウエハ単位で行っており、TATの短縮が可能である。また、ウエハ形状でバーイン、マーキング等をおこなっており、低コスト化に適したチップサイズPKGの製造工程である。

【0031】

【発明の効果】本発明により、半導体電子部品をそのチップサイズとほぼ同程度の大きさにて、しかも高信頼のものを安価に製造、提供する事ができる。

【図面の簡単な説明】

【図1】チップサイズPKGの製造方法1

【図2】チップサイズPKGの製造方法2

【図3】チップサイズPKGの製造方法3

【図4】ウエハでの有機材料被覆例

【図5】チップサイズPKG構造1

【図6】チップサイズPKG構造2

【図7】チップサイズPKG構造3

【図8】チップサイズPKG構造4

【図9】チップサイズPKG構造5

【図10】チップサイズPKG構造6

【図11】チップサイズPKG構造7

【図12】チップサイズPKG構造8

【図13】チップサイズPKG製造工程フローチャート

【符号の説明】

| | |
|------------|--------------|
| 1 ……ウエハ | 6 ……スクライブライン |
| 2 ……電極 | 7 ……ダイシング用溝 |
| 3 ……有機材料3 | 8 ……有機材料 |
| 4 ……有機材料4 | 9 ……有機材料 |
| 5 ……電極形成用溝 | 10 ……有機材料 |

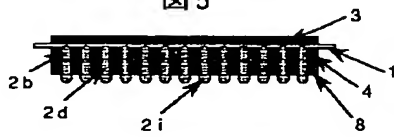
【図4】

図4



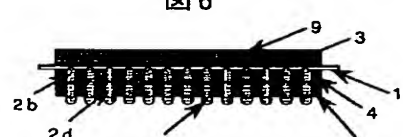
【図5】

図5



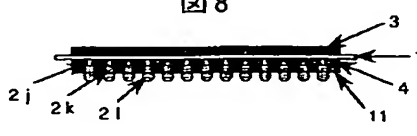
【図6】

図6



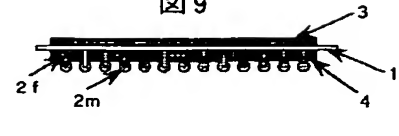
【図8】

図8

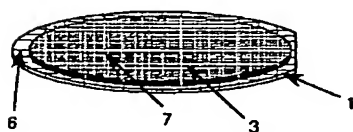


【図9】

図9

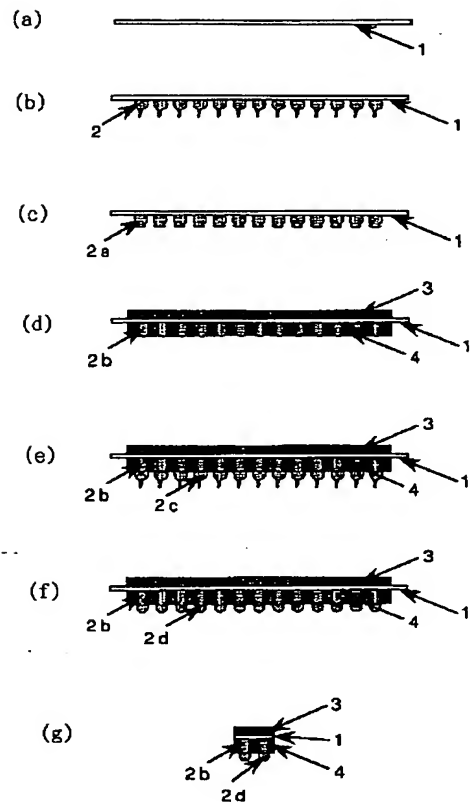


(b)



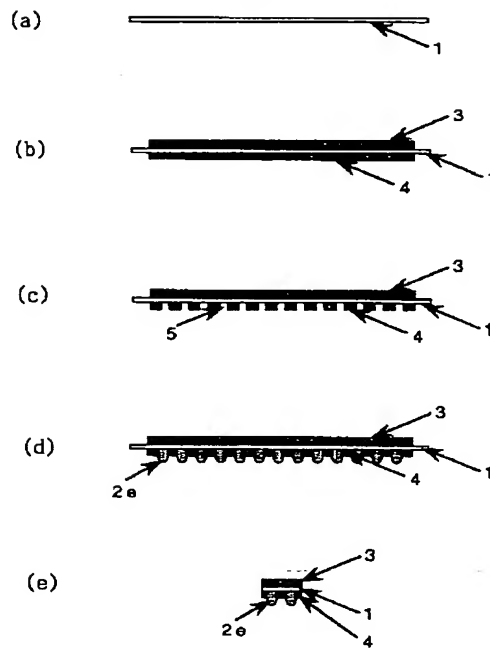
【図1】

図1



【図2】

図2



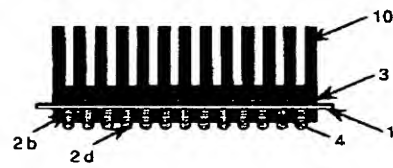
【図11】

図11



【図7】

図7



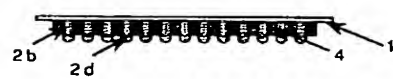
【図10】

図10

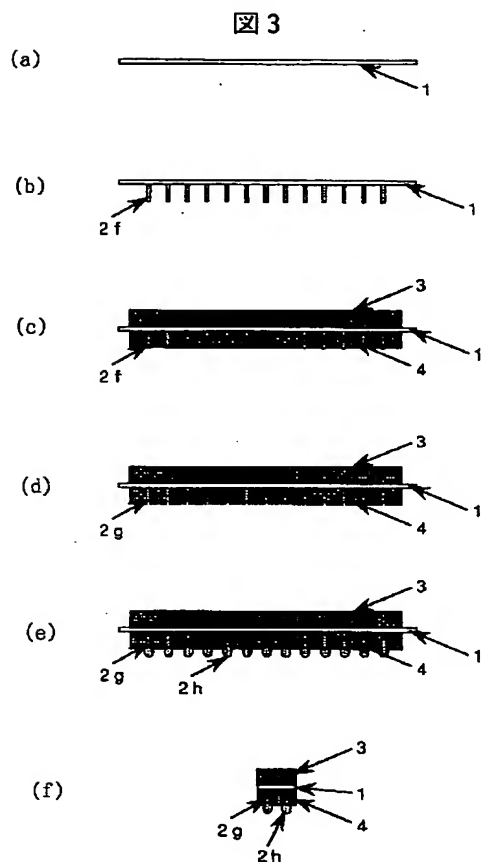


【図12】

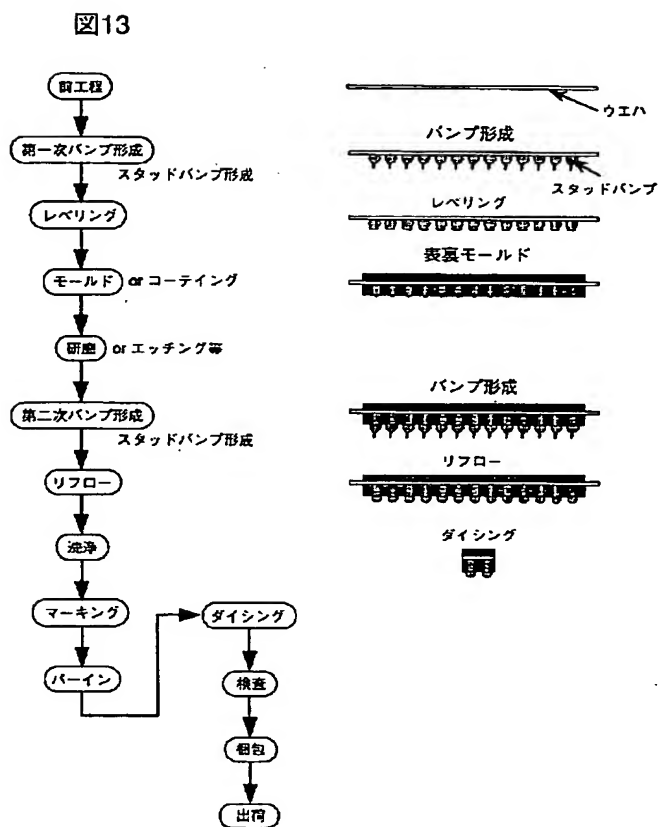
図12



【図 3】



【図 13】



フロントページの続き

(72)発明者 山本 健一
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

(72)発明者 春田 亮
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

(72)発明者 坪崎 邦宏
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内

(72)発明者 森永 賢一郎
東京都小平市上水本町 5 丁目 20 番 1 号 株
式会社日立製作所半導体事業部内